

MANUFACTURE OF SILICON SUBSTRATE

Patent Number: JP7201874
Publication date: 1995-08-04
Inventor(s): YAMAMOTO HIROCHIKA
Applicant(s): NEC CORP
Requested Patent: ☐ JP7201874
Application Number: JP19930353706 19931230
Priority Number(s):
IPC Classification: H01L21/322; C30B29/06; C30B33/02
EC Classification:
Equivalents: JP2725586B2

Abstract

PURPOSE: To provide a method of the manufacture of silicon substrates wherein a sufficient quantity of interstitial oxygen in a silicon substrate is diffused outward, and wherein empty holes are filled with silicon atoms.

CONSTITUTION: Under condition of 3% of oxygen partial pressure ratio an 1175 deg.C of heat treatment temperature, heat treatment is continued until a thermal oxide film with a thickness of 600nm or above is formed. In the first half of the high temperature heat treatment process, oxygen partial pressure ratio is kept low; therefore, the formation of an oxide film is prevented, and interstitial oxygen is smoothly diffused outward without being blocked by an oxide film. In the second half of the heat treatment process, an oxide film of a specified thickness or above is grown; therefore, silicon atoms are pushed out by the growing oxide film and holes in the silicon substrate are filled with them.

Data supplied from the esp@cenet database - I2

特開平7-201874

(43) 公開日 平成7年(1995)8月4日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/322	Y			
C 3 0 B 29/06	B	8216-4G		
33/02		8216-4G		

審査請求 有 請求項の数 8 F D (全 8 頁)

(21) 出願番号 特願平5-353706

(22) 出願日 平成5年(1993)12月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山本 博規

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 尾身 祐助

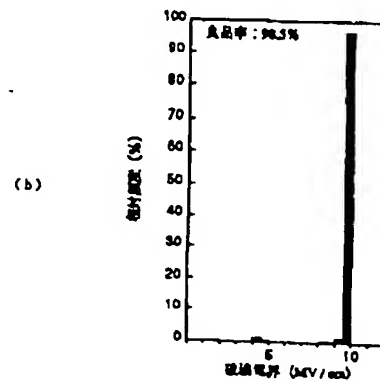
(54) 【発明の名称】 シリコン基板の製造方法

(57) 【要約】

【目的】 シリコン基板中の格子間酸素を十分に外方拡散させることができ、かつ空孔をシリコン原子により埋めることのできる製造方法を提供する。

【構成】 酸素分圧比を3%、熱処理温度を1175℃とし、熱酸化膜が60nm以上に形成されるまで高温熱処理を続ける。

【効果】 高温熱処理の前半において、酸素分圧比が低く抑えられているため、酸化膜の形成は抑制され格子間酸素の外方拡散は酸化膜によって阻止されることがなく円滑に行われる。熱処理の後半において、熱酸化膜を一定以上の膜厚に成長させることにより、酸化膜成長によって押し出されたシリコンによりシリコン基板内の空孔を埋めることができる。



【特許請求の範囲】

【請求項1】 シリコン基板を1100℃以上の温度で熱処理を行って酸素の外方拡散および空孔の埋め合わせを行うシリコン基板の製造方法であって、雰囲気を入炉から出炉まで通して酸化性雰囲気とし、かつ少なくとも前半の酸素の外方拡散が支配的な段階においては酸素分圧比を熱処理温度に応じて求められた最大酸素分圧比 V_{0max} 以下に設定して熱処理を行うことを特徴とするシリコン基板の製造方法。

【請求項2】 前記最大酸素分圧比 V_{0max} が、 $V_{0max}=1.55 \times 10^{(3-0.00313T)}$ 但し、T：熱処理温度
で与えられることを特徴とする請求項1記載のシリコン基板の製造方法。

【請求項3】 前記熱処理が酸化膜が60nm以上の膜厚に形成されるまで行われることを特徴とする請求項1記載のシリコン基板の製造方法。

【請求項4】 前記熱処理が、熱処理温度をT(℃)、酸素分圧比を V_0 として、

$$t(\text{時間}) = (720 + 10^{(3985/(T+273))} \times V_0) / (1.3 \times 10^8 \times 10^{(-6128/(T+273))} \times V_0) \quad 20$$

により求められる時間以上行われることを特徴とする請求項1記載のシリコン基板の製造方法。

【請求項5】 前半の酸素の外方拡散を主として行わせる熱処理と、後半の空孔の埋め合わせを主として行わせる熱処理とが、同一の熱処理温度でかつ同一の酸素分圧比の下で行われることを特徴とする請求項1記載のシリコン基板の製造方法。

【請求項6】 前半の酸素の外方拡散を主として行わせる熱処理と、後半の空孔の埋め合わせを主として行わせる熱処理とが、同一の熱処理温度で行われかつ前者における酸素分圧比の方が後者におけるそれよりも低いことを特徴とする請求項1記載のシリコン基板の製造方法。

【請求項7】 前記熱処理がイオン注入工程後に行われることを特徴とする請求項1記載のシリコン基板の製造方法。

【請求項8】 前記熱処理工程に引き続き酸化性雰囲気中において500～800℃の温度における熱処理が30分以上行われることを特徴とする請求項1記載のシリコン基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、シリコン基板の製造方法に関し、特に半導体素子に影響を与えるシリコン基板表面近傍を高品位化し、ゲート酸化膜等の耐圧を向上させる熱処理方法に関する。

【0002】

【従来の技術】近年、半導体素子は集積度が高くなるにつれてシリコン基板表面近傍の結晶を無欠陥層(denude zone)とすることが必要となってきた。チョコラ

ルスキー法によって引き上げられたシリコン基板中には、格子間酸素、微小欠陥を含み、そのままでは、満足すべき半導体素子の電気特性を得ることができないため、シリコン基板に熱処理を施し、格子間酸素、微小欠陥を外方拡散させ、シリコン基板表面を無欠陥化することが行われているのである。

【0003】シリコン基板表面近傍を無欠陥化する熱処理方法の従来例は、図8(a)に示すように、入炉から1100℃以上の高温までを酸素のみの雰囲気中で熱処理を行い、次に、雰囲気を窒素のみの不活性ガス雰囲気に切り替え格子間酸素を外方へ拡散させ、その後不活性ガス雰囲気のまま600～800℃の温度で欠陥核を作成し、イントリンシックゲッターリングを行う方法がとられている(例えば、特開昭59-202640等)。図8(a)の熱処理を行って得られたゲート酸化膜の絶縁耐圧の分布を図8(b)に示す。同図に示されるように、ゲート酸化膜絶縁破壊電圧が8MV/cm以上のものを良品としたときの良品率は65.5%であった。

【0004】また、図8(a)に示す熱処理工程の改善例として、特開平1-242500号公報において、図9(a)に示す熱処理方法が提案されている。これは、シリコン基板を入炉から1200℃以上の高温処理終了まで加湿または乾燥の酸素雰囲気中で処理を行ってシリコン基板内部の析出核を増加させ、その後不活性ガス雰囲気で500～800℃の熱処理を行い、さらに析出核を作成し、より強いゲッターリング能力が得られるようにするものである。図9(a)の熱処理を行って得られたゲート酸化膜の絶縁耐圧の分布を図9(b)に示す。同図に示されるように、8MV/cm以上の耐圧のものを良品とする良品率は72.5%となり、図8の場合と比較して7%程改善されている。

【0005】

【発明が解決しようとする課題】近年、半導体素子は高集積化が進み、それに伴ってゲート酸化膜が薄膜化したことにより、その絶縁耐圧を向上させることが重要な課題となっている。このゲート酸化膜の絶縁耐圧はシリコン基板表面近傍の結晶状態に大きく依存し、シリコン基板表面近傍に何らかの結晶欠陥が存在すればゲート酸化膜の絶縁耐圧は低下する。

【0006】図8(a)に示す従来方法では、シリコン基板内の格子間酸素の外方拡散には効果があるが、高温熱処理時にシリコン基板に発生する空孔が、シリコン基板表面上に形成された酸化膜によってブロックされ、外方拡散することがなく、かつこの空孔を埋めるようなシリコン原子が供給されることがないため、シリコン基板表面近傍には空孔が残ってしまう問題がある。その結果、シリコン基板表面近傍の結晶性は完全にはならず、図8(a)に示す熱処理をシリコン基板に施しても、ゲート酸化膜絶縁耐圧は、図8(b)に示されるように十分には向上していない。

【0007】また、図9(a)に示す従来方法では、雰囲気として加温酸素あるいは乾燥した酸素のみを使用しているため、高温処理中に酸化で発生したシリコン原子がシリコン基板内に内方拡散し、空孔を埋めることが出来るが、高温処理中にシリコン基板には酸化膜が形成されてしまうため、格子間酸素がこの酸化膜にブロックされて外方拡散できないという問題が起こる。その結果、シリコン基板表面近傍の微小欠陥を解消することはできず、図9(a)に示すような熱処理を施しても、ゲート酸化膜絶縁耐圧は図9(b)に示すように完全には改善されない。

【0008】したがって、この発明の目的とするところは、格子間酸素を十分に外方拡散させることができるとともに空孔をシリコン原子によって埋めることのできる熱処理方法を提供し、もって高集積化された半導体集積回路装置においても十分高い絶縁耐圧を確保できるようにすることである。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明によれば、シリコン基板を1100℃以上の温度で熱処理を行って酸素の外方拡散および空孔の埋め合わせを行うシリコン基板の製造方法であって、入炉から出炉までを酸化雰囲気で行い、かつ少なくとも前半の*

*酸素の外方拡散が支配的な段階においては酸素分圧比を熱処理温度に応じて求められた最大酸素分圧比 V_{0max} 以下に設定して熱処理を行うことを特徴とするシリコン基板の製造方法が提供される。そして、上記最大酸素分圧比 V_{0max} は、

$$V_{0max} = 1.55 \times 10^{(3-0.00313T)} \quad (\text{但し、} T: \text{熱処理温度})$$

で与えられるものであり、また、熱処理は、熱処理温度を $T(^\circ\text{C})$ 、酸素分圧比を V_0 として、

$$t(\text{時間}) = (720 + 10^{(3985/(T+273))} \times V_0) / (1.3 \times 10^8 \times 10^{(-6128/(T+273))} \times V_0)$$

により求められる時間以上行われるものである。

【0010】

【作用】本発明者は、ゲート酸化膜絶縁耐圧向上に向けて熱処理条件の最適化を図るために、図4に示すような過程で熱処理温度を1100、1140、1200℃、熱処理時間を2、4、6時間と変え、酸素および窒素からなる酸化性雰囲気中でシリコン基板に熱処理を施した。その後シリコン基板に半導体素子を作成し、そのゲート酸化膜の絶縁耐圧を測定した。また、さらに高温範囲においても処理時間を変えて同様の実験を行った。

【0011】

【表1】

熱処理温度	雰囲気 (酸素分圧比)	高温処理時間	形成される酸化膜厚	ゲート耐圧良品率
1100℃	1%	2時間	20.9nm	56%
1100℃	3%	2時間	35.6nm	78%
1100℃	5%	2時間	45.5nm	86%
1100℃	10%	2時間	63.3nm	96%
1100℃	20%	2時間	87.6nm	98%
1100℃	30%	2時間	105.5nm	97%
1100℃	40%	2時間	120.1nm	96%
1100℃	50%	2時間	132.7nm	98%
1100℃	60%	2時間	143.7nm	91%
1140℃	1%	4時間	34.3nm	75%
1140℃	3%	4時間	58.8nm	92%
1140℃	5%	4時間	75.6nm	98%
1140℃	10%	4時間	106.1nm	96%
1140℃	20%	4時間	148.3nm	99%
1140℃	30%	4時間	180.1nm	98%
1140℃	40%	4時間	206.5nm	95%
1140℃	50%	4時間	229.4nm	88%
1200℃	1%	6時間	51.5nm	93%
1200℃	3%	6時間	88.9nm	98%
1200℃	5%	6時間	114.5nm	96%
1200℃	10%	6時間	161.2nm	99%
1200℃	20%	6時間	226.7nm	97%
1200℃	30%	6時間	276.4nm	86%

【0012】その結果を表1に示す。表1に示されるように、熱処理中の酸素分圧比を上げていくと、ゲート酸化膜絶縁耐圧が改善されるが、ある酸素分圧比を越えるとゲート酸化膜絶縁耐圧が劣化しはじめる。図5は、横軸に熱処理によって形成される酸化膜厚、縦軸にゲート※50

※酸化膜絶縁耐圧良品率をとって得られたデータをグラフ化したものであり、白い四角は酸素分圧比が高く、耐圧が劣化したデータを示している。これは、酸素分圧比が高いと高温熱処理前半にシリコン基板上に厚い酸化膜が形成され、シリコン基板中の格子間酸素の外方拡散が行

われず、シリコン基板表面近傍が無欠陥化されないためである。

【0013】そこで、更に得られたデータから、各熱処理温度に対するゲート酸化膜絶縁耐圧良品率が95%未満になる酸素分圧比を最大酸素分圧比 V_{0max} として求めた。この最大酸素分圧比 V_{0max} と熱処理温度との関係を図6に示す。この結果から、1100℃以上の高温熱処理雰囲気前半の格子間酸素外方拡散時（これはほぼ1時間程度である）における最大酸素分圧比 V_{0max} は、 $V_{0max} = 1.55 \times 10^{(3-0.00313T)}$ T:熱処理温度 … (1)

と求められた。よって、高温熱処理の前半における酸素分圧比 V_0 を上記最大酸素分圧比 V_{0max} 以下に抑えることにより、95%以上の良品率を実現することができる。

【0014】また、図5の結果から、ゲート酸化膜絶縁耐圧良品率は、(1)式の条件を満たしていれば、シリコン基板上に形成される酸化膜が60nm以上（シリコン基板上に酸化膜が形成されていない状態から換算して）になるような熱処理を施すと95%以上になることが分かる。而して、形成される熱酸化膜の膜厚は、熱処理温度T(℃)と熱処理中の酸素分圧比 V_0 が決まれば熱処理時間から一義的に求められる。図7は、酸素分圧比 V_0 を助変数として熱酸化膜が60nmに成長するまでの時間と熱処理温度との関係をプロットしたグラフである。

【0015】したがって、酸素分圧比 V_0 が一定であれば、その曲線の右側に入る時間熱処理を行えば95%以上の良品率が得られることになる。そして、図7の曲線上の時間t(時間)は、

$$t(\text{時間}) = (720 + 10^{(3985/(T+273))} \times V_0) / (1.3 \times 10^8 \times 10^{(-6128/(T+273))} \times V_0) \dots (2)$$

で表わすことができることから、結局(2)式以上の時間熱処理を行えばよいことになる。

【0016】以上から本発明の作用を次のようにまとめることができる。まず、本発明において、1100℃以上の工程前半（約1時間）に酸素分圧比の制限を設けて、シリコン基板内部に存在する格子間酸素を外方拡散させやすくして熱処理を行う。これは、シリコン基板表面に作成されている酸化膜が薄いほど格子間酸素は外方拡散しやすいため、熱酸化膜の成長を抑制する必要があるからである。

【0017】その後さらに熱処理を続けることにより、格子間酸素の外方拡散によって発生した空孔および最初から含まれていた空孔が埋められる。これは、酸化性雰囲気を保ちつつ熱処理を行って、シリコン基板表面に60nm以上の酸化膜を成長させることによって達成される。酸化性雰囲気中での高温熱処理によって、シリコン基板(Si)と酸素(O₂)が反応しシリコン基板表面

に酸化膜(SiO₂)が形成されるが、その際、SiO₂はSiより占有体積が大きいので、余ったシリコン原子が格子位置から押出されシリコン基板内へ内方拡散し、空孔を埋める。シリコン基板表面に60nm以上酸化膜を形成することにより、半導体素子電気特性に影響を与える空孔は、内方拡散するシリコン原子によって埋められる。これにより、シリコン基板表面近傍は無欠陥化され、ゲート酸化膜絶縁耐圧は改善され、半導体装置製造歩留りが向上する。

【0018】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【第1の実施例】図1(a)は、本発明の第1の実施例のシリコン基板の熱処理過程を示す図である。図1

(a)に示す工程により、酸素分圧比3%とし、1175℃の熱処理を4時間行った。1175℃の時、酸素分圧比は(1)式より33%以下でなくてはならないが、本実施例はこの条件を満たしている。

【0019】この熱処理後、半導体素子を作成し、そのゲート酸化膜絶縁耐圧を測定した。その結果を図1

(b)に示す。ゲート酸化膜破壊電圧が8MV/cm以上のものを良品とすれば、本実施例によって熱処理を行ったシリコン基板のゲート酸化膜耐圧良品率は、98.5%となる。これは図8、図9に示す従来の熱処理によって得られる良品率より25%以上向上したことになる。

【0020】【第2の実施例】次に、熱処理温度と酸素分圧比から熱処理時間を求めた実施例を示す。図2は本発明の第2の実施例を説明する図であり、これは図7と同等の図である。上記したように各曲線の右側にあれば、熱処理時間tが、

$$t(\text{時間}) \geq (720 + 10^{(3985/(T+273))} \times V_0) / (1.3 \times 10^8 \times 10^{(-6128/(T+273))} \times V_0)$$

を満足し、60nm以上の酸化膜が形成されることになる。なお、この式を満たすとともに熱処理の前半工程における酸素分圧比の条件($V_0 \leq 1.55 \times 10^{(3-0.00313T)}$)も満たさなければならない。よって、一定の酸素分圧比の下で熱処理を続けるのであれば、上記熱処理時間tは、1時間以上であることが必要となる。

【0021】本実施例では、シリコン基板を1200℃、酸素分圧比3%の酸化性雰囲気中で、図2の熱処理温度と酸素分圧の曲線より右側の時間、4時間になるように熱処理時間を設定した(図2・測定点1)。対比実験として、シリコン基板を1200℃、酸素分圧比1%の酸化性雰囲気中で、図2の熱処理温度と酸素分圧の曲線より左側の時間、6時間になるように熱処理時間を設定した(図2・測定点2)。その結果を表2に示す。表2に示す結果から明らかなように、測定点1では測定点2より2時間熱処理が短いにもかかわらず、高いゲート酸化膜絶縁耐圧良品率を実現できた。

【0022】

* * 【表2】

	熱処理温度	処理時間	雰囲気 (酸素分圧比)	酸化膜厚	良品率
測定点1	1200℃	4時間	3%	62.1nm	95%
測定点2	1200℃	6時間	1%	40.6nm	81%

【0023】【第3の実施例】DZ処理（無欠陥化処理）の施されていないウェハが半導体素子製造工程に投入されることもある。本実施例は、このような場合に半導体素子製造過程において未処理シリコン基板についてDZ処理を行うものである。半導体素子製造工程において、例えばウェル形成工程ではイオン注入後の不純物のドライブ・イン工程時に高温の熱処理が行われる。本実施例ではこの高温処理工程に本発明の熱処理方法を適用した。図3（a）はその熱処理過程を示す図であり、1200℃で最初の1時間を酸素分圧比2%の雰囲気中で処理した。その後雰囲気を100%酸素雰囲気にかえ1時間処理した。図3（a）に示す過程により、シリコン基板表面上にはシリコン基板表面ベア状態から換算して約200nmの酸化膜が形成された。

【0024】図3（a）に示す熱処理工程を経たシリコン基板に対しゲート酸化膜を形成しその絶縁耐圧を測定したところ、図3（b）に示すゲート酸化膜絶縁破壊電界分布図が得られた。同図から、ゲート酸化膜絶縁破壊電界が8MV/cm以上のものを良品とする良品率は96.7%となり、図8、図9に示した従来例の場合と比較して24%以上の改善を実現することができた。この結果から、高温熱処理前半1時間の酸素分圧比 V_0 を $V_0 \leq V_{0max} = 1.55 \times 10^{(3-0.003137)}$ となるよう選択すれば、その後酸素流入量を多くして熱処理時間を短縮できることと、半導体素子製造過程の高温熱処理に本発明を適用した場合にも同様の効果を楽しむことができる。

【0025】以上好ましい実施例について説明したが、本発明はこれら実施例に限定されるものではなく、本願発明の要旨を変更しない範囲内において各種の変更が可能である。例えば、酸化性雰囲気中の酸素以外の気体については窒素に代え水素やアルゴン等他のものを使用することができる。また、高温熱処理期間中において必ずしも処理温度を一定に保つ必要はなく、本発明※

※によって要請される条件の範囲内において温度を可変とすることができる。

【0026】

【発明の効果】以上説明したように、本発明によれば、1100℃以上の高温処理前半の期間（約1時間）に酸素分圧比を制限し、格子間酸素の外方拡散を円滑に行い、かつその後の熱処理を、シリコン基板内の空孔を十分に埋め合わせるまで継続しているので、シリコン基板表面近傍が無欠陥化され、ゲート酸化膜絶縁耐圧が改善され、半導体素子製造歩留りを向上させることができる。そして、本発明は、ゲート酸化膜絶縁破壊耐圧の良品率を従来例の場合の20%以上向上させることができ、今後一段と進むと予想される高集積化、絶縁膜の薄膜化に対しても十分に対応できるようにするものである。本発明の産業上における効果は大である。

【図面の簡単な説明】

【図1】本発明の第1の実施例の熱処理過程図とそれによる絶縁破壊電界分布図。

【図2】本発明の第2の実施例を説明するための酸化膜形成特性図。

【図3】本発明の第3の実施例の熱処理過程図とそれによる絶縁破壊電界分布図。

【図4】本発明の作用を説明するための熱処理過程図。

【図5】本発明の作用を説明するための熱酸化膜厚とゲート酸化膜耐圧良品率との関係を示す図。

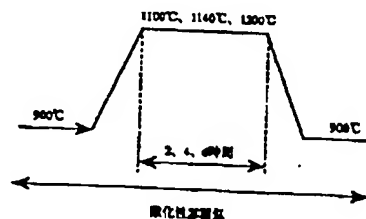
【図6】本発明の作用を説明するための熱処理温度と最大酸素分圧比との関係を示す図。

【図7】本発明の作用を説明するための酸素分圧比を助変数とした酸化膜形成特性曲線図。

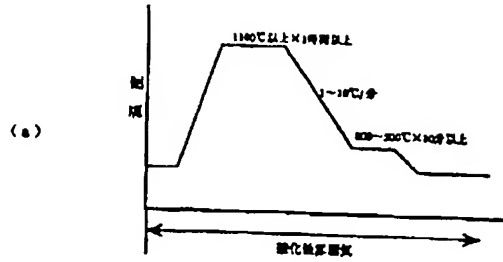
【図8】第1の従来例の熱処理過程図とそれによる絶縁破壊電界分布図。

【図9】第2の従来例の熱処理過程図とそれによる絶縁破壊電界分布図。

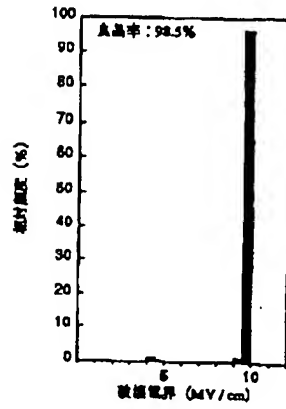
【図4】



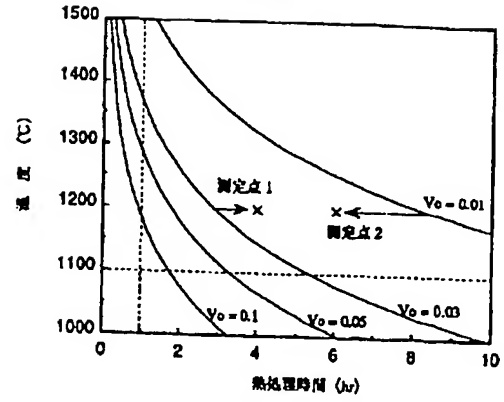
【図1】



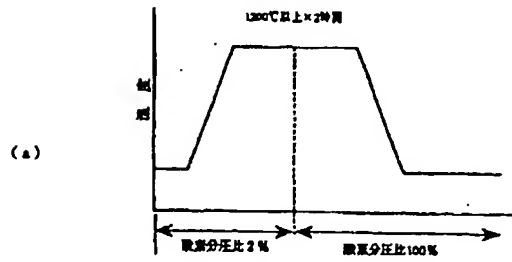
(b)



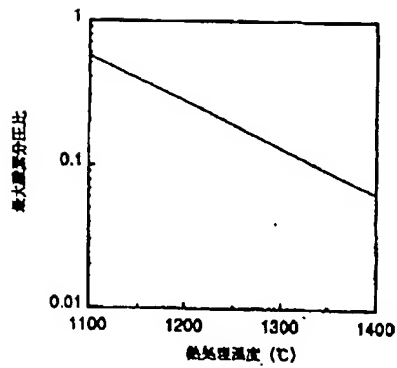
【図2】



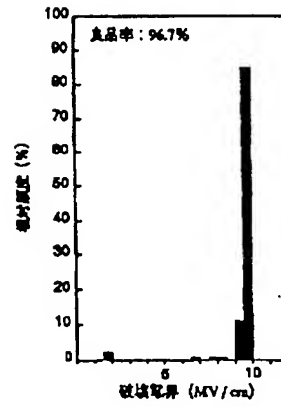
【図3】



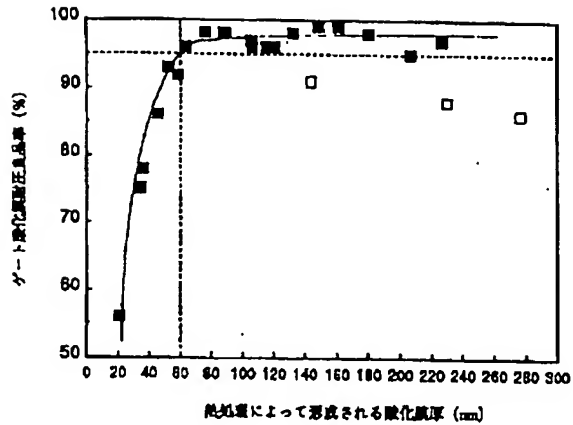
【図6】



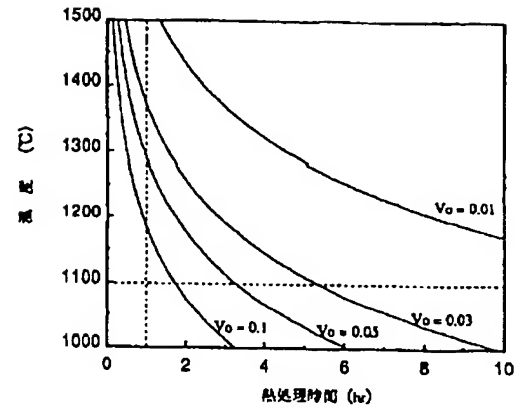
(b)



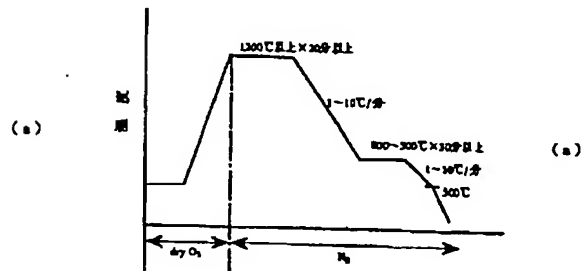
【図5】



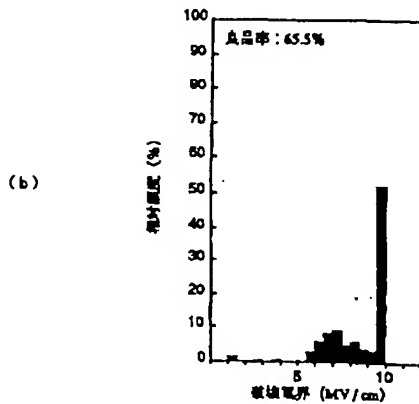
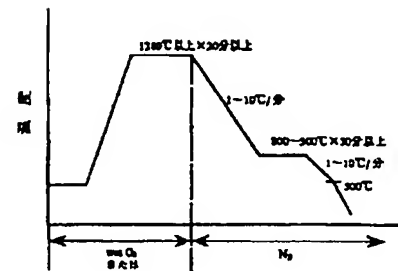
【図7】



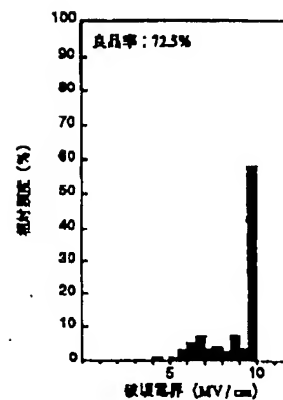
【図8】



【図9】



(b)



【手続補正書】

【提出日】平成6年10月27日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項2

【補正方法】変更

【補正内容】

【請求項2】 前記最大酸分圧比 V_{0max} が、
 $V_{0max} = 1.55 \times 10^{(3-0.00313T)}$ 但し、 T : 熱
 処理温度(℃)
 で与えられることを特徴とする請求項1記載のシリコン

基板の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明によれば、シリコン基板を1100℃以上の温度で熱処理を行って酸素の外方拡散および空孔の埋め合わせを行うシリコン基板の製造方法であって、入炉から出炉までを酸化雰囲気で行い、かつ少なくとも前半の酸素の外方拡散が支配的な段階においては酸素分圧比を熱処理温度に応じて求められた最大酸素分圧比 V_{0max} 以下に設定して熱処理を行うことを特徴とするシリコン基板の製造方法が提供される。そして、上記最大酸素分圧比 V_{0max} は、

$V_{0max} = 1.55 \times 10^{(3-0.00313T)}$ (但し、 T : 熱処理温度(℃))

で与えられるものであり、また、熱処理は、熱処理温度を T (℃)、酸素分圧比を V_0 として、

t (時間) = $(720 + 10^{(3985/(T+273))} \times V_0) / (1.3 \times 10^8 \times 10^{(-6128/T+273)} \times V_0)$

により求められる時間以上行われるものである。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】そこで、更に得られたデータから、各熱処理温度に対するゲート酸化膜絶縁耐圧良品率が95%未満になる酸素分圧比を最大酸素分圧比 V_{0max} として求めた。この最大酸素分圧比 V_{0max} と熱処理温度との関係を図6に示す。この結果から、1100℃以上の高温熱処理雰囲気前半の格子間酸素外方拡散時(これはほぼ1時間程度である)における最大酸素分圧比 V_{0max} は、

$V_{0max} = 1.55 \times 10^{(3-0.00313T)}$... (1) T : 熱処理温度(℃)

と求められた。よって、高温熱処理の前半における酸素分圧比 V_0 を上記最大酸素分圧比 V_{0max} 以下に抑えるこ

とにより、95%以上の良品率を実現することができる。

【手続補正 4】

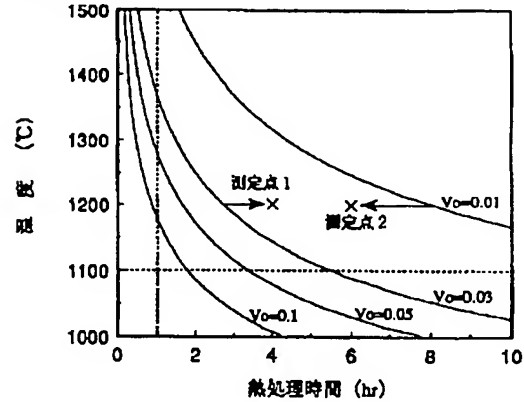
【補正対象 類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】



【手続補正 5】

【補正対象書類名】図面

【補正対象項目名】図7

【補正方法】変更

【補正内容】

【図7】

